**Nazwa przedmiotu:**

Układy cyfrowe w systemach teleinformatycznych

**Koordynator przedmiotu:**

dr inż. Krzysztof Firląg, ad., Wydział Transportu Politechniki Warszawskiej Zakład Sterowania Ruchem i Infrastruktury Transportu, Zespół SRD

**Status przedmiotu:**

Obowiązkowy

**Poziom kształcenia:**

Studia I stopnia

**Program:**

Transport

**Grupa przedmiotów:**

Specjalnościowe

**Kod przedmiotu:**

**Semestr nominalny:**

7 / rok ak. 2022/2023

**Liczba punktów ECTS:**

3

**Liczba godzin pracy studenta związanych z osiągnięciem efektów uczenia się:**

80 godz., w tym: praca na zajęciach laboratoryjnych 30 godz., przygotowanie eksperymentów 10 godz., wykonanie sprawozdań z poszczególnych ćwiczeń 35 godz., pisemne zaliczenie poszczególnych ćwiczeń 2 godz., konsultacje 3 godz.

**Liczba punktów ECTS na zajęciach wymagających bezpośredniego udziału nauczycieli akademickich:**

1,5 pkt. ECTS (35 godz., w tym: praca na zajęciach laboratoryjnych 30 godz., pisemne zaliczenie poszczególnych ćwiczeń 2 godz., konsultacje 3 godz.).

**Język prowadzenia zajęć:**

polski

**Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym:**

3,0 pkt. ECTS (80 godz., w tym: praca na zajęciach laboratoryjnych 30 godz., przygotowanie eksperymentów 10 godz., wykonanie sprawozdań z poszczególnych ćwiczeń 35 godz., pisemne zaliczenie poszczególnych ćwiczeń 2 godz., konsultacje 3 godz.).

**Formy zajęć i ich wymiar w semestrze:**

|  |  |
| --- | --- |
| Wykład:  | 0h |
| Ćwiczenia:  | 0h |
| Laboratorium:  | 30h |
| Projekt:  | 0h |
| Lekcje komputerowe:  | 0h |

**Wymagania wstępne:**

brak

**Limit liczby studentów:**

Zajęcia laboratoryjne: 12 osób.

**Cel przedmiotu:**

Praktyczne poznanie metod analizy i syntezy układów cyfrowych z zastosowaniem wspomagania komputerowego. Badanie zjawisk zagrażających poprawnej pracy projektowanych układów, oraz nabycie umiejętności poprawnej budowy prostych układów cyfrowych dla cyfrowych systemów teleinformatyki stosowanych w transporcie.

**Treści kształcenia:**

Wprowadzenie, zapoznanie z obsługą pakietu symulatora układów logicznych. Badanie współpracy układów cyfrowych z elementami zestykowymi. Synteza i badanie układów kombinacyjnych zbudowanych z elementów małej, średniej oraz dużej skali integracji. Badanie strukturalnej zawodności układów kombinacyjnych. Synteza synchronicznych układów sekwencyjnych. Badanie synchronicznych układów sekwencyjnych stosowanych w systemach teleinformatycznych stosowanych w transporcie. Synteza i badanie asynchronicznych układów sekwencyjnych. Synteza układów z wykorzystaniem języka opisu sprzętu VHDL.

**Metody oceny:**

Zaliczanie wykonania poszczególnych ćwiczeń w trakcie zajęć. Przebieg ćwiczenia udokumentowany sprawozdaniem oceniany w zakresie 0-2 pkt. Sprawdzenie wiedzy z poszczególnych ćwiczeń w formie pisemnej oceniane w zakresie 0-8 pkt. Warunkiem zaliczenia przedmiotu jest wykonanie wszystkich ćwiczeń laboratoryjnych, skutkujące przyjęciem przez prowadzącego sprawozdań oraz zdobycie połowy plus jeden możliwych punktów.

**Egzamin:**

nie

**Literatura:**

Literatura podstawowa:
1) Zieliński C.: Podstawy projektowania układów cyfrowych, PWN, Warszawa 2020.
2) Barski M., Jędruch W., Układy cyfrowe : podstawy projektowania i opis w języku VHDL, Wydawnictwo Politechniki Gdańskiej, Gdańsk, 2019.
3) Skorupski A.: Podstawy techniki cyfrowej, WKŁ, Warszawa 2004.
4) Gorzałczany M.: Układy cyfrowe – metody syntezy, WPŚ, Kielce 2003.
5) Pieńkoś J., Turczyński J.: Układy scalone TTL w systemach cyfrowych, WKŁ, Warszawa 1986.
Literatura uzupełniająca:
1) Górecki P.: Układy cyfrowe pierwsze kroki, Wydawnictwo BTC, Warszawa 2004.
2) Łuba T.: Synteza układów logicznych, WKŁ, Warszawa 2003.

**Witryna www przedmiotu:**

brak

**Uwagi:**

O ile nie powoduje to zmian w zakresie powiązań danego przedmiotu z efektami uczenia się określonymi dla programu studiów w treściach kształcenia mogą być wprowadzane na bieżąco zmiany związane z uwzględnieniem najnowszych osiągnięć naukowych.

## Charakterystyki przedmiotowe

### Profil ogólnoakademicki - wiedza

**Charakterystyka W01:**

Ma szczegółową wiedzę związaną z praktycznym zastosowaniem metodyki projektowania kombinacyjnych i sekwencyjnych układów cyfrowych.

Weryfikacja:

Zaliczenie pisemnie ćwiczenia - jedno pytanie z tego zakresu, zalicza odpowiedź poprawna w 51%.

**Powiązane charakterystyki kierunkowe:** Tr1A\_W12

**Powiązane charakterystyki obszarowe:** P6U\_W, I.P6S\_WG.o

**Charakterystyka W02:**

Ma uporządkowaną wiedzę związaną z badaniami eksperymentalnymi układów i systemów cyfrowych.

Weryfikacja:

Obserwacja studenta podczas wykonywania eksperymentów laboratoryjnych, przebieg ćwiczenia punktowany 0-2 pkt. Zalicza od 1 pkt.

**Powiązane charakterystyki kierunkowe:** Tr1A\_W10

**Powiązane charakterystyki obszarowe:** P6U\_W, I.P6S\_WG.o, I.P6S\_WK

### Profil ogólnoakademicki - umiejętności

**Charakterystyka U01:**

Potrafi przeprowadzać eksperymenty, w tym symulacje komputerowe modeli układów cyfrowych.

Weryfikacja:

Obserwacja i ocena umiejętności planowania i przeprowadzania eksperymentów podczas ćwiczeń laboratoryjnych.

**Powiązane charakterystyki kierunkowe:** Tr1A\_U09

**Powiązane charakterystyki obszarowe:** P6U\_U, I.P6S\_UW.o, III.P6S\_UW.o

**Charakterystyka U02:**

Potrafi posłużyć się narzędziami komputerowo wspomaganego projektowania do weryfikacji prostych układów cyfrowych.

Weryfikacja:

Obserwacja i ocena umiejętności umiejętności posługiwania się symulatorem układów logicznych.

**Powiązane charakterystyki kierunkowe:** Tr1A\_U10

**Powiązane charakterystyki obszarowe:** P6U\_U, I.P6S\_UW.o, III.P6S\_UW.o

**Charakterystyka U03:**

Potrafi w języku polskim opracować dokumentację przeprowadzonych eksperymentów i przygotować teksty opisujące ich wyniki.

Weryfikacja:

Analiza i zaliczenia złożonych sprawozdań z poszczególnych ćwiczeń laboratoryjnych. Warunek zaliczenia - brak merytorycznych błędów w sprawozdaniu.

**Powiązane charakterystyki kierunkowe:** Tr1A\_U04

**Powiązane charakterystyki obszarowe:** P6U\_U, I.P6S\_UK

**Charakterystyka U04:**

Potrafi zaprojektować i zmontować proste układy cyfrowe z elementów scalonych małej skali integracji.

Weryfikacja:

Zaliczenie poprawności procesu syntezy technicznej budowanych układów. Warunek zaliczenia - realizacja poprawnie działającego układu logicznego.

**Powiązane charakterystyki kierunkowe:** Tr1A\_U24

**Powiązane charakterystyki obszarowe:** III.P6S\_UW.o, P6U\_U, I.P6S\_UW.o