**Nazwa przedmiotu:**

Synteza sprzętowo-programowa systemów cyfrowych

**Koordynator przedmiotu:**

Elżbieta PIWOWARSKA

**Status przedmiotu:**

Fakultatywny ograniczonego wyboru

**Poziom kształcenia:**

Studia I stopnia

**Program:**

Elektronika

**Grupa przedmiotów:**

Przedmioty techniczne

**Kod przedmiotu:**

SSP

**Semestr nominalny:**

6 / rok ak. 2015/2016

**Liczba punktów ECTS:**

4

**Liczba godzin pracy studenta związanych z osiągnięciem efektów uczenia się:**

105
Wyliczenie ECTS:
udział w wykładach: 30 h
przygotowanie do wykładu: 10 h
udział w laboratoriach: 15 h
praca własna nad zadaniami do finalnego wykonania na laboratorium: 35 h
przygotowanie do egzaminu: 15 h
Razem 105 h = 4 ECTS

**Liczba punktów ECTS na zajęciach wymagających bezpośredniego udziału nauczycieli akademickich:**

2 (wykład 30h, laboratorium 15 h, egzamin 2 h, konsultacje 6 h)

**Język prowadzenia zajęć:**

polski

**Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym:**

2 (udział w laboratoriach 15 h, przygotowanie do ćwiczeń 10 h, praca w domu nad specyfikacją i kodem projektów symulowanych i syntezowanych na zajęciach 25 h)

**Formy zajęć i ich wymiar w semestrze:**

|  |  |
| --- | --- |
| Wykład:  | 30h |
| Ćwiczenia:  | 0h |
| Laboratorium:  | 15h |
| Projekt:  | 0h |
| Lekcje komputerowe:  | 0h |

**Wymagania wstępne:**

podstawowa wiedza dotyczącą układów cyfrowych i układów logicznych, preferowany przedmiot UCYF

**Limit liczby studentów:**

30

**Cel przedmiotu:**

Celem przedmiotu jest zaznajomienie studentów ze współczesnymi metodami projektowania systemów cyfrowych, w szczególności z technikami i narzędziami modelowania, syntezy i weryfikacji systemów. Przedstawione są cechy systemów o różnych zastosowaniach oraz typowe techniki modelowania HDL systemów. Omówione są zagadnienia komunikacji oraz synchronizacji bloków.

**Treści kształcenia:**

1. Wprowadzenie, Przypomnienie metodologii RT (Register Transfer)
2. Rozwinięcie informacji o układach FSM, charakterystyczne cechy VHDL
3. Porównanie właściwości i możliwości VHDL i Verilog
4. Układowa realizacja operacji arytmetycznych
5.Realizacja funkcji DSP
6.Projektowanie IP-based
7. Parametry: szybkość, powierzchnia, moc. Cechy syntezy
8.Komunikacja - zasady, FIFO
9.Komunikacja - magistrale i NoC
10.Synchronizacja, systemy GALS
11.Elementy projektowania systemowego na przykładzie projektowania filtrów cyfrowych

Zakres laboratorium:
1.Projektowanie i synteza złożonych układów z wykorzystaniem VHDL/Verilog (układy hierarchiczne) w stylu komórek standardowych
2. Projektowanie i synteza w FPGA filtrów cyfrowych

**Metody oceny:**

laboratorium: 2 lub 3 oddzielne zadania realizowane w małych grupach. Ze względu na wielkość projektów konieczny jest podział obowiązków w ramach grupy, wyspecyfikowanie podzadań oraz integracja układu.
egzamin testowy

**Egzamin:**

tak

**Literatura:**

-materiały wykładowe + inne materiały udostępniane przez wykładowców
-Wolf W., Modern VLSI Design, IP-based Design
-„RTL hardware design using VHDL” Pong P. Ch, John Wiley & Sons Inc.2006
-Berger A. S., Embedded Systems Desig. An introduction to Processes, Tools, & Techniques

**Witryna www przedmiotu:**

https://studia.elka.pw.edu.pl/

**Uwagi:**

Przedmiot dotyczy bardzo silnie rozwijającej się gałęzi elektroniki, dlatego zarówno literatura jak i niektóre treści mogą ulegać modyfikacjom nawet w trakcie trwania semestru.

## Efekty przedmiotowe

### Profil ogólnoakademicki - wiedza

**Efekt SSP\_w1:**

Posiada wiedzę w zakresie rozwiązań i technik projektowania systemów cyfrowych o różnych zastosowaniach

Weryfikacja:

egzamin, laboratorium

**Powiązane efekty kierunkowe:** K\_W09

**Powiązane efekty obszarowe:** T1A\_W03, T1A\_W04, T1A\_W07

**Efekt SSP\_w2:**

posiada wiedzę w zakresie komunikacji i synchronizacji w systemach cyfrowych, w szczególności wykorzystujących bloki objęte prawem własności intelektualnej (IP blocks)

Weryfikacja:

egzamin

**Powiązane efekty kierunkowe:** K\_W12, K\_W17

**Powiązane efekty obszarowe:** T1A\_W04, T1A\_W07, T1A\_W10

### Profil ogólnoakademicki - umiejętności

**Efekt SSP-u1:**

potrafi opracować projekt złożonego układu cyfrowego posługując się odpowiednimi narzędziami do weryfikacji i syntezy oraz wykorzystując standardy IEEE i opracowane przez inne osoby bloki

Weryfikacja:

laboratorium

**Powiązane efekty kierunkowe:** K\_U11, K\_U16, K\_U17, K\_U21

**Powiązane efekty obszarowe:** T1A\_U09, T1A\_U15, T1A\_U09, T1A\_U10, T1A\_U12, T1A\_U14, T1A\_U15, T1A\_U16, T1A\_U14, T1A\_U08, T1A\_U09, T1A\_U13, T1A\_U15, T1A\_U16

### Profil ogólnoakademicki - kompetencje społeczne

**Efekt SSP\_k1:**

potrafi współpracować w grupie, zorganizować i zaplanować zadania do wykonania, poszukiwać samodzielnie lub wspólnie z zespołem rozwiązań zadanych problemów

Weryfikacja:

egzamin, laboratorium

**Powiązane efekty kierunkowe:** K\_K01, K\_K03, K\_K04

**Powiązane efekty obszarowe:** T1A\_K01, T1A\_K03, T1A\_K04