**Nazwa przedmiotu:**

Projektowanie urządzeń cyfrowych

**Koordynator przedmiotu:**

Marek PAWŁOWSKI

**Status przedmiotu:**

Obowiązkowy

**Poziom kształcenia:**

Studia I stopnia

**Program:**

Informatyka

**Grupa przedmiotów:**

Przedmioty techniczne

**Kod przedmiotu:**

PUCY

**Semestr nominalny:**

7 / rok ak. 2015/2016

**Liczba punktów ECTS:**

4

**Liczba godzin pracy studenta związanych z osiągnięciem efektów uczenia się:**

90 z podziałem na:
30 godzin wykładu,
30 godzin pracy w laboratorium - konsultacje i uruchamianie w systemie SML3
30 godzin pracy w domu nad opisem projektu i jego symulacją

**Liczba punktów ECTS na zajęciach wymagających bezpośredniego udziału nauczycieli akademickich:**

3 - wykład, konsultacje, pomoc w uruchomieniu projektu

**Język prowadzenia zajęć:**

polski

**Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym:**

2 - projekt realizowany w domu i laboratorium

**Formy zajęć i ich wymiar w semestrze:**

|  |  |
| --- | --- |
| Wykład: | 30h |
| Ćwiczenia: | 0h |
| Laboratorium: | 0h |
| Projekt: | 30h |
| Lekcje komputerowe: | 0h |

**Wymagania wstępne:**

Zaliczenie przedmiotów UZINT (znajomość podstawowych interfejsów urządzeń zewnętrznych)

**Limit liczby studentów:**

32

**Cel przedmiotu:**

• Zapoznanie studentów z zasadami tworzenia projektów wykorzystujących układy FPGA
• Ukształtowanie umiejętności opisywania projektów za pomocą języków opisu sprzętu VDL, AHDL i Verilog

**Treści kształcenia:**

Elementy architektury układów CPLD i FPGA.
Możliwości oprogramowania EDA do projektowania układów z FPGA i weryfikacji projektu.
Elementy języków projektowania sprzętu: AHDL, VHDL i Verilog.
Metody projektowania podstawowych kombinacyjnych i sekwencyjnych bloków funkcjonalnych.
Realizacja układu mikroprogramowanego w FPGA (min. język AMDASM).
Projetowanie test benchy w języku VHDL dla weryfikacji projektów
Metody testowania (ścieżka krawędziowa) i samotestestowania (ścieżka cykliczna) układów cyfrowych.
Metody konfiguracji FPGA.
Metodyka projektowania urządzeń cyfrowych.
Projektowanie schematów i płytek drukowanych za pomocą wybranego oprogramowania CAD.
Systemy wbudowane w układach FPGA (min. SoPC), oraz wykorzystanie modułu analizatora stanów logicznych wbudowanego w układ FPGA.

**Metody oceny:**

Dwa kolokwia i jeden na dwie osoby projekt składający się z trzech etapów.
Etap 1 projektu to opis i uruchomienie interfejsu z wybranym urządzeniem wejściowych i wyjściowym (język AHDL).
Etap 2 to projekt realizacji złożonej operacji arytmetycznej (mnożenie lub dzielenie w zadanym kodzie liczbowym: NKB, U2, ZM) w FPGA w wymagany sposób (układ kombinacyjny, sekwencyjny lub mikroprogramowany.
Etap 3 projektu to schemat układu i projekt płytki drukowanej zawierającej elementy niezbędne dla działania układu opisanego projektem.
Podczas kolokwium należy odpowiedzieć na jedno lub dwa proste pytania sprawdzające wiedzę studenta oraz zaprojektować zadany słownie lub tabelą funkcji blok cyfrowy w języky AHDL (kolowoim 1) lub VHDL (kolokwium 2).

**Egzamin:**

nie

**Literatura:**

M. Pawłowski, A. Skorupski „Projektowanie złożonych układów cyfrowych”
J. Pasierbiński, P. Zbysiński „Układy programowalne”
M. Zwoliński „Projektowanie układów cyfrowych z wykorzystaniem języka VHDL”
K. Skahill „Język VHDL - Projektowanie programowalnych układów logicznych”
Samir Palnitkar “Verilog HDL, A Guide to Digital Design and Synthesis”
H. Wieczorek „Eagle – pierwsze kroki”
M. Smyczek „Protel 99SE – pierwsze kroki”

**Witryna www przedmiotu:**

https://studia.elka.pw.edu.pl/priv/14Z/PUCY.A/

**Uwagi:**

Wszelkie materiały wykładowe z przykładowymi zadaniami i ich rozwiązaniami dostępne są w postaci sladów na stronie przedmiotowej.
Podobnie udostępnione są wymagania dotyczące realizacji projektów.

## Efekty przedmiotowe

### Profil ogólnoakademicki - wiedza

**Efekt PUCY\_W01:**

Znajomość elementów architektury układów CPLD i FPGA

Weryfikacja:

kolokwium 1

**Powiązane efekty kierunkowe:** K\_W08, K\_W14

**Powiązane efekty obszarowe:** T1A\_W04, T1A\_W06, T1A\_W07, T1A\_W03, T1A\_W04, T1A\_W05, T1A\_W07

**Efekt PUCY\_W02:**

Znajomość oprogramowania EDA wspomagającego projektowanie z FPGA

Weryfikacja:

etap 1 i 2 projektu

**Powiązane efekty kierunkowe:** K\_W19

**Powiązane efekty obszarowe:** T1A\_W07

**Efekt PUCY\_W03:**

Wiedza o podstawowych strukturach syntaktycznych wybranych języków HDL (min. VHDL i VERILOG)

Weryfikacja:

kolokwium 1 i 2

**Powiązane efekty kierunkowe:** K\_W08, K\_W19

**Powiązane efekty obszarowe:** T1A\_W04, T1A\_W06, T1A\_W07, T1A\_W07

**Efekt PUCY\_W04:**

Wiedza o metodach projektowania układów samotestujących (ścieżka krawędziowa i cykliczna)

Weryfikacja:

kolokwium 2

**Powiązane efekty kierunkowe:** K\_W08, K\_W14, K\_W19

**Powiązane efekty obszarowe:** T1A\_W04, T1A\_W06, T1A\_W07, T1A\_W03, T1A\_W04, T1A\_W05, T1A\_W07, T1A\_W07

**Efekt PUCY\_W05:**

Wiedza o zasadach projektowania schematów i płytek drukowanych za pomocą wybranego oprogramowania CAD

Weryfikacja:

etap 3 projektu

**Powiązane efekty kierunkowe:** K\_W08, K\_W14

**Powiązane efekty obszarowe:** T1A\_W04, T1A\_W06, T1A\_W07, T1A\_W03, T1A\_W04, T1A\_W05, T1A\_W07

**Efekt PUCY\_W06:**

Wiedza o sposobach weryfikacji projektów opisanych językiem VHDL

Weryfikacja:

projekt 2

**Powiązane efekty kierunkowe:** K\_W08, K\_W15, K\_W19

**Powiązane efekty obszarowe:** T1A\_W04, T1A\_W06, T1A\_W07, T1A\_W06, T1A\_W07

**Efekt PUCY\_W07:**

Wiedza o metodyce tworzenia projektu urządzenia cyfrowego

Weryfikacja:

projekt

**Powiązane efekty kierunkowe:** K\_W13, K\_W15

**Powiązane efekty obszarowe:** T1A\_W04, T1A\_W05, T1A\_W06

### Profil ogólnoakademicki - umiejętności

**Efekt PUCY\_U01:**

Potrafi posługiwać się oprogramowaniem EDA do realizacji projektów z FPGA

Weryfikacja:

etap 1 i 2 projektu

**Powiązane efekty kierunkowe:** K\_U09, K\_U14, K\_U15, K\_U20

**Powiązane efekty obszarowe:** T1A\_U05, T1A\_U07, T1A\_U09, T1A\_U14, T1A\_U09, T1A\_U15, T1A\_U16, T1A\_U13, T1A\_U15

**Efekt PUCY\_U02:**

Potrafi opisać złożony układ cyfrowy za pomocą wybranego języka HDL

Weryfikacja:

etap 1 i 2 projektu

**Powiązane efekty kierunkowe:** K\_U18

**Powiązane efekty obszarowe:** T1A\_U15, T1A\_U16

**Efekt PUCY\_U03:**

Umiejętność projektowania schematów i płytek drukowanych na poziomie podstawowym

Weryfikacja:

etap 3 projektu

**Powiązane efekty kierunkowe:** K\_U15, K\_U18, K\_U20

**Powiązane efekty obszarowe:** T1A\_U09, T1A\_U15, T1A\_U16, T1A\_U15, T1A\_U16, T1A\_U13, T1A\_U15

**Efekt PUCY\_U04:**

Umiejętność weryfikacji projektów

Weryfikacja:

projekt 1 i 2

**Powiązane efekty kierunkowe:** K\_U04, K\_U05, K\_U09, K\_U14

**Powiązane efekty obszarowe:** T1A\_U08, T1A\_U09, T1A\_U01, T1A\_U15, T1A\_U05, T1A\_U07, T1A\_U09, T1A\_U14

**Efekt PUCY\_U05:**

Umiejętność dokumentowania projektu

Weryfikacja:

projekt 1 i 2

**Powiązane efekty kierunkowe:** K\_U07

**Powiązane efekty obszarowe:** T1A\_U03

### Profil ogólnoakademicki - kompetencje społeczne

**Efekt PUCY\_K01:**

Zespołowa realizacja projektów

Weryfikacja:

projekt

**Powiązane efekty kierunkowe:** K\_K01, K\_K03

**Powiązane efekty obszarowe:** T1A\_K01, T1A\_K03